

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

007804816 **Image available**

WPI Acc No: 1989-069928/198910

Formation of conductive studs within insulator layer - with simultaneous
planarising of metal and insulator films

Patent Assignee: INT BUSINESS MACHINES CORP (IBM) ; IBM CORP (IBM)

Inventor: COTE W J; KAANTA C W; LEACH M A; PAULSEN J K

Number of Countries: 005 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 305691	A	19890308	EP 88111164	A	19880712	198910 B
JP 1055845	A	19890302	JP 88137587	A	19880606	198915
US 4956313	A	19900911	US 88257117	A	19881011	199039
EP 305691	B1	19930407	EP 88111164	A	19880712	199314
DE 3880051	G	19930513	DE 3880051	A	19880712	199320
			EP 88111164	A	19880712	

Priority Applications (No Type Date): US 8785836 A 19870817; US 88257117 A
19881011

Cited Patents: 1.Jnl.Ref; EP 177105; EP 223920; EP 224013; JP 59165427

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

EP 305691 A E 9

Designated States (Regional): DE FR GB

EP 305691 B1 E 11 H01L-021/90

Designated States (Regional): DE FR GB

DE 3880051 G H01L-021/90 Based on patent EP 305691

Abstract (Basic): EP 305691 A

Conductive studs within an insulator layer pref. doped glass, disposed between a conductive structure on a substrate and a conductive structure on upper surface of insulator layer, are formed by: (a) forming an insulator layer having a non-planar upper surface on substrate; (b) defining vias through insulator layer to expose first conductive structures on substrate; (c) depositing a conductive layer pref. a conformal metal, e.g. CVD W, on insulator so as to completely fill vias and contact first conductive structures (a) removing portions of conductive layers which lie outside of apertures in insulator and simultaneously planarising insulator layer, by means of a polish etch in the presence of an abrasive slurry pref. comprising Al₂O₃ particles, water and H₂O₂ at a controlled pH.

USE/ADVANTAGE - Method for forming conductive studs within an insulator layer which provides a planarised metal-insulator surface, and a planarised passivation film after via definition without use of a separate planarisation layer.

3/7

Abstract (Equivalent): EP 305691 B

A method of forming a plurality of conductive studs within an insulator layer (40) disposed between a first series of conductive structures (30) arranged on a substrate (1) and a second series of conductive structures formed on an upper surface of the insulator layer, comprising the steps of: forming the insulator layer on the substrate, the insulator layer having a non-planar upper surface which follows the topology produced by the underlying layers; defining vias (45) through said non-planar upper surface of said insulator layer, so as to expose at least one of said plurality of first conductive structures (30) disposed on the substrate; depositing a conformal conductive layer on said non-planar upper surface of said insulator layer, said conductive layer completely filling said vias to contact said at least one of said plurality of first conductive structures, said conductive layer having a non-planar upper surface that substantially follows the topology of said non-planar upper surface of said insulating layer; and then subjecting both of said non-planar upper surface of said conductive layer and said non-planar upper

surface of said insulator layer to a single polish etch being the first planarisation etch of this method, in the presence of an abrasive slurry, so as to remove portions of said conductive layer lying outside of said vias in said insulator layer, so as to eliminate undesired coupling between filled vias, while simultaneously removing portions of said insulator layer having said non-planar upper surface, so as to establish planarity in said upper surface of said insulator layer.

(Dwg.1/7)

Abstract (Equivalent): US 4956313 A

A number of conductive studs are formed within an insulator layer in a structure on a substrate (1). After integrated circuit structures (10) are formed on the substrate, a passivation layer (20) is applied, followed by a metal layer, patterned as lines (30). A second passivation layer (40) is deposited and vias are formed to expose the underlying metal lines. A second metal layer is deposited and parts (55) within vias provide connections to the lines. Metal layer and second passivation layer are subjected to a planarisation etch, giving a planarised surface on which subsequent layers can be deposited.

ADVANTAGE - Process allows simultaneous planarisation without use of a separate planarisation layer. (8pp)

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/90

International Patent Class (Additional): H01L-021/306

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-55845

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)3月2日

H 01 L 21/88

K-6708-5F

審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 導電性スタッドを形成する方法

⑮ 特 願 昭63-137587

⑯ 出 願 昭63(1988)6月6日

優先権主張 ⑰ 1987年8月17日 ⑱ 米国(US) ⑲ 085836

⑳ 発 明 者 ウィリアム・ジョセフ・コウテ アメリカ合衆国ヴァーモント州エセックス・ジャンクショ
ン、ログウッド・サークル20番地

㉑ 発 明 者 カーター・ウェリグ・カンタ アメリカ合衆国ヴァーモント州エセックス・ジャンクショ
ン、ボックス23番地

㉒ 出 願 人 インターナショナル・ビジネス・マシーンズ・コーポレーション アメリカ合衆国10504、ニューヨーク州アーモンク(番地
なし)

㉓ 代 理 人 弁理士 山本 仁朗 外1名
最終頁に続く

明 細 書

1. 発明の名称 導電性スタッドを形成する方法

2. 特許請求の範囲

(1) 同一平面上に存在しない基板上の構造部分に対して導電性スタッドを形成する方法において、

上記基板上に、この基板の表面形状に対して実質的にコンフォーマルな平坦でない絶縁層を形成する工程と、

上記構造部分を露出するように上記絶縁層にバリアを形成する工程と、

上記バリアを完全に充填するように上記絶縁層上に導電層を付着する工程と、

上記導電層及び上記絶縁層を研磨スラリーを用いてポリッシングし、上記バリアの領域外の上記導電層の部分を除去し且つ上記バリア内の上記導電層の部分及び残った上記絶縁層の部分が同一平面になるように平坦化する工程と、

を含む、導電性スタッドを形成する方法。

(2) (a) 導電性構造体の第1の複数のシリーズが形成されている基板上に、上側の表面が平坦でない絶縁層を形成し、

(b) 上記絶縁層を通して貫通孔を面定し、基板上の上記導電性構造体の第1の複数のシリーズの少なくとも1つを露出し、

(c) 上記絶縁層上に導電性層を付着して、上記貫通孔を完全に充填して上記導電性構造体の第1の複数のシリーズの上記少なくとも1つと接触させ、

(d) 上記導電性層及び絶縁層の両方を研磨スラリーが存在する中でポリッシュ・エッチングして上記絶縁層中の貫通孔の外側に存在する上記導電性層の部分を除去し、同時に上記絶縁層を平坦化する段階を有する、

基板上の導電性構造体の第1の複数のシリーズ及び導電性構造体の第2の複数のシリーズ間に存在する絶縁層内に複数の導電性スタッドを形成する方法。

3. 発明の詳細な説明

A. 産業上の利用分野

本発明は金属及び絶縁薄膜を同時に平坦化して平坦な充填パイアを形成する方法に関する。

B. 従来技術

集積回路の装置密度が増大するにつれて、個々の装置を相互接続するのに使用する導電体形成技術はより厳密な要件を満足しなくなってきた。一つには、装置の総数が増えたので多くのレベルの導電層が必要である。金属層の数が増大すると、これ等の金属層を分離する絶縁層はできるだけ平坦であることが肝要である。もし平坦性が保持されないと、結果の激しい表面の形状(凹凸)が金属の開放もしくは短絡の原因となる。現在の導電体形成技術に課せられている他の拘束は金属層を相互接続するのに使用される孔即ちパイアができるだけ小さなスペース中に形成されなければならない点にある。パイアの形成は(たとえ

ばフッ素を主成分とする気体プラズマ中の反応性イオン・エッチング(RIE)によつて)絶縁体を異方的にパターン化して垂直な側壁を有するパイアを形成することによつて普通達成されている。他の制約はコンタクト抵抗の最小化である。一つの金属レベルで接続される装置の数のために、この金属レベル上の抵抗性負荷(従つて関連する信号遅延)が増大する。コンタクト抵抗を最小にする相互接続材料は負荷を減少する。タングステンのような耐火金属はこのような必要とされる固有抵抗の性質を有することがわかっている。さらに、CVDタングステンは下側の形状に沿つて共形的に(コンフォーマルに)付着でき絶縁層中に形成された垂直側壁のパイアを充填するので、上述のパイアの密度の制約は相互接続材料としてCVDタングステンを採用することによつて解消できる。

従来技術の方法はその中に平坦なスタッドが埋込まれた平坦な絶縁層を与えようと試みた。米国特許第4470874号は基板上にアルミニウムを主成分とするスタッドを形成し、ガラスのパッ

シベーション(安定化)層を付着してスタッドを覆い、平坦化用ホトレジスト層をパッシベーション層上に付着し、ホトレジスト層を、該ホトレジスト層とガラス・パッシベーション層を略同じ速度で除去するエッチャントに晒らし、ガラス・パッシベーション層の残りを前に形成した相互接続用スタッドとガラス・パッシベーション層を同じ速度で侵食する他のエッチャント中で除去する方法を開示している。後者のエッチャントはアルゴンを基調とするスパッタ・エッチ、イオン・ミリング段階もしくはポリッシング段階として開示されている。

米国特許第4614021号は第1のレベルの金属を基板上に面定し、相互接続用スタッド構造体を第1の金属層上に面定し、厚いパッシベーション誘電体層を付着して導電性スタッドを覆い、平坦化用レジスト層を誘電体層上に被覆し、レジスト層を該レジスト及びパッシベーション層を同じ速度で除去するエッチャントに晒らしてパッシベーション層を平坦化する方法を開示している。

従来技術には、誘電体層を基板上に被覆し誘電体層中にパイアを面定し、パイアに金属を充填し、この構造体を平坦化用樹脂層で被覆し、樹脂層を該樹脂及びパイアの外側の金属層の部分を略同じ速度で除去するエッチャントに晒らす方法もある。このような方法は米国特許第4520041号、米国特許第4614563号に開示されている。この両方法は1:1の金属:樹脂のエッチ速度の比を保持して平坦な表面を与えなければならない。さらにパイアの外側に存在する金属の部分は相対的に平坦なパッシベーション層上に存在していることに注意されたい。

1985年10月28日に出願された米国特許出願第791860号は化学-機械的ポリッシング技術によつて、基板上に、同一平面上にある金属/絶縁体薄膜を形成する方法を開示している。この発明は絶縁体:金属もしくは金属:絶縁体のポリッシング速度の比を最大化することによる平坦な多重レベル半導体構造体の製造に向けられている。この米国特許出願の第3図に示されている

ように、他の平坦化方法はパイアを面定する前にパッシベーション層を平坦化して、その後形成されるパイアを金属で過充填する方法である。次にパイアの外側に存在する金属の部分をポリッシングで除去する。より具体的にはこの特許出願は(第1表に)酸化シリコンに対するアルミニウムのポリッシング速度を最大化する複数の酸性の化学-機械的スラリーを開示している。

1987年3月30日出願の米国特許出願第031809号はパターン化したシリコン層上にタングステンの層を付着し、シリコン層が付着したタングステン層と相対的に同一平面になる迄シリコン層をポリッシングする方法を開示している。

本願の発明者はパイアの面定後で、金属付着の前にパッシベーション薄膜を平坦化する可能性を研究した。仮にパイアを予じめ平坦にしたパッシベーション層中に面定すると、下層の表面の形状に従つてはなはだしく深さが変動するパイアが形成される。エッチ工程を続けて、最も深いパイアを完全に形成すると、より浅いパイアが著しくオ

ーバエツチされて、下の構造体をかなり侵食する。同時に上述の垂直パイアとコンタクト抵抗の制約のために、本願の発明者はパイアを充填する導電材料としてコンフォーマルな金属を使用しようと考えた。しかしながら上述の技術はいずれも、パイア充填金属及び非平坦な絶縁体層を同時に平坦にして平坦な金属-絶縁体表面を形成する方法に向けられてはいない。

C. 発明が解決しようとする問題点

本発明の目的は平坦な金属-絶縁体表面を与えることにある。

本発明に従えばパイアを面定した後にパッシベーション層を平坦にする方法が与えられる。

本発明に従えば、別個の平坦化層を使用しないで、タングステン薄膜と絶縁体層を同時に平坦化する方法が与えられる。

D. 問題点を解決するための手段

本発明は同一平面上に存在しない基板上の構造部分に対して、絶縁層を介して導電性スタッドを形成するものである。この構造部分は、例えば異なる高さを有する第1図の金属線30、又は第2図の酸化物分離領域10及び拡散領域14のようなスタッド形成部分である。本発明では、先ず、基板上に、この基板の表面形状に対して実質的にコンフォーマルな平坦でない絶縁層(例えば第1図のパッシベーション層40、第2図のパッシベーション層20)を形成し、次に、上記の構造部分を露出するように絶縁層にパイア(例えば第1図のパイア45)を形成する。次にパイアを完全に充填するように絶縁層上に導電層(例えば第1図の金属層50)を付着する。最後に、これらの導電層及び絶縁層を研磨スラリーを用いてポリッシングし、パイアの領域外の導電層部分を除去し且つパイア内の導電層部分及び残った絶縁層部分が同一平面になるように平坦化する。

E. 実施例

第1図(A)を参照するに、本発明の方法が半導体基板1上で遂行されている。基板1は、たとえばp型の<100>配向単結晶シリコンから形成される。基板1は半分埋設した酸化物分離領域10を除き集積回路構造体がないものとして示されている。実際には、複数の拡散領域が基板1の表面領域に形成されていて、基板1の表面上には複数の導電性構造体(たとえば、多結晶シリコン・ゲート電極、記憶ノード電極等)が与えられて、集積回路装置が形成されている。このような装置は図面を簡単にするために第1図(A)、(B)、(C)、(D)には示されていない。半埋設酸化物分離領域10は基板1上に酸化シリコンの薄い層を成長し、酸化シリコン層上に窒化シリコンの層を付着し、窒化物-酸化物層をパターン化して基板1の領域を露出して露出した基板の領域を酸化するといった通常の技術を使用して形成できる。集積回路構造体(たとえば分離領域10)を基板

1上に形成した後、第1のバツシベーション層20を付着する。バツシベーション層はポリイミド、ホスホシリケート・ガラス(PSG)、もしくはボロホスホシリケート・ガラス(BPSG)のような多くの一般に知られた絶縁材料の一つでよい。次に金属層を第1のバツシベーション層20上に付着し、パターン化して金属線30を形成する。金属層は任意の導電性材料でよいが、金属線30はAl/2%CuもしくはAl/4%Si/2%Cuのようなアルミニウムを主成分とする合金から形成することが望ましい。金属線30は塩素を主成分とする気体プラズマ中で、ホトレジストによつて露出した金属層の部分を異方性エッチングすることによつて画定される。

金属線30を画定した後、第2のバツシベーション層40を第1のバツシベーション層20上に付着する。第2のバツシベーション層40はドープド・ガラス(BPSGが好ましい)で形成することが好ましい。第2のバツシベーション層40は付着した時点では平らでない上側の表面を有

することに注意されたい。即ちドープド・ガラスのバツシベーション層はコンホーマルになる性向を有し、その上側表面は基板上に形成された下層構造体の輪郭に従っている。

第1図(B)に示したように、次にパイア45を第2のバツシベーション層40中に形成して下の金属線30を露出する。パイア45は通常のホトレジスト材料を付着して、パターン化し、第2のバツシベーション層40の露出部分を CF_4 のようなハロゲンを主成分とする気体プラズマ中で異方性エッチングすることによつて形成できる。

第2のバツシベーション層40の上側の表面は下の層によつて生じた輪郭に従うので、パイアの深さは等しくなる。金属線30上のパイア45のすべてを完全に画定するには等量のエッチングが必要である。従つて上述の方法はパイアの画定の前にバツシベーション層を平坦にした従来の方法のように深いパイアを画定中に浅いパイアをオーバーエッチングすることによつて生ずる悪影響を避けている。

次に第1図(C)に示したように、第2の金属層50がパターン化されたバツシベーション層40上に付着される。第2の金属層50はすき間又は不連続部を形成することなく、第2のバツシベーション層40中のパイアを充填するようにコンホーマルに付着できる材料から形成されることが好ましい。化学的に蒸着される(CVD)タングステンがこれ等の性質を与えることがわかつている。第2の金属層50はコンホーマルであるために、その上側の表面は下の構造体によつて生じた輪郭に従うことに注意されたい。第2の金属層50は第2のバツシベーション層40中に形成されたパイア45を完全に充填するのに少なくとも十分な厚さ(即ち図示された断面の寸法でパイアの幅の少なくとも1/2の厚さ)でなければならない。従つてパイア内に存在する、第2の金属層50の部分55が金属線30に電気的接続を与える。

次に第1図(D)に示したように、金属層50及びバツシベーション層40を平坦化エッチングして、パイアの外側の金属層50の部分を除去す

ると同時にバツシベーション層を平坦にする。このようにして結果の構造体は平坦な表面60をなし、その上に次の金属及び絶縁層が付着できる。

本発明では、この平坦化エッチングは研磨スラリーを用いて層をポリッシングすることによつて行われる。実験をストラスバウ(Strasbaugh)単一ウエハ・ポリッシング・ツールで行った。研磨用のスバ(SUBA)IV多孔性ポリッシング・パッドを使用した。パッドは略700乃至840g/cm²の圧力に保持された。Al₂O₃の微粒子、脱イオン水、塩基及び酸化剤より成る研磨スラリーが平坦な表面を形成するのに十分なW:BPSGのエッチ速度を与える。Al₂O₃の微粒子40gを脱イオン水10ℓ及び過酸化水素(酸化剤)略1ℓと混合した。第1の実験ではさらに硝酸を加えてpH6のスラリーにした。他の実験では、酸もしくは塩基を加えなかつた。第3の実験では水酸化カリウムを加えてpHが約8.4のスラリーにした。pHが6乃至7では、タングステンは除去されない。pH8.4ではタングステンは略30

0 Å/分の速度及びBPSGは200 Å/分の速度で除去された。この方法の結果を実験用の構造体の断面の走査電子顕微鏡(SEM)で写真にして眺めたところ(倍率×4000、×20000)、完全な平坦性が認められた。さらにスラリーのpHを11迄上げた他の実験では略同じ結果が求められた。即ち本発明のポリッシング方法は高いW:BPSGのエッチ速度の比(たとえば10:1及びそれ以上)で平坦なBPSG/W表面を与える。従つて本発明は、金属と平坦化用樹脂間の1:1エッチ速度比と予じめ平坦にしたパッシベーション表面に依存した従来の方法よりもはるかに柔軟な(従つてはるかに信頼性のある)平坦化方法を与える。本発明では略7.5以上のpHを有する H_2O_3 /水/酸化剤スラリーが平坦なタングステン-BPSG表面を与える。

上述のように、平坦な金属-絶縁表面は等しい深さのパイア中に金属を付着した後に形成される。オーバーエッチされたパイアを形成することなく、パイア充填金属形成技術を使用して平坦な表面を

与えることができる。充填したパイア上の金属が完全に除去されるので、充填したパイア間の望ましくない結合がなくなる。第2の金属層をその後相互接続のために平坦な表面上に付着する時は、この層をパターン化するのに使用するホトレジスト層を平坦な表面上に付着することになるから、ホトレジストを良好に被覆し且つ正確にパターンニングすることができる。さらに金属線の抵抗も平坦化のために減少する。一般に、このようにして得られる平坦な表面は金属の多重層を相互接続のために必要とする高密度のICとより両立可能である。

以上の本発明は第1の金属線に導電性金属のスタッドを形成する方法に関して説明されたが、本発明は任意の金属レベルに適用可能である。第2図に示したように、本発明は分離領域10上の金属線55と、拡散領域12、14及びゲート電極16を有するFET装置の拡散領域14へのコンタクト55とを同時に形成するのに使用できる。

コンフォーマルな金属線としてはタングステンが

好ましいが、タングステン以外の金属層も使用できる。パイアの充填に問題がなければ、上述のアルミニウムを主成分とする合金のような導電性材料がパイアの充填に使用できる。上述の米国特許出願第791860号に説明されているように、アルミニウムと酸化シリコンは、アルミニウムの微粉末及び脱イオン水(1g/ℓ)より成るスラリーが存在する中で140-560 g/cm²の圧力でのローデル(Rodel)210 I2研磨パッドを使用して略同じ速度でポリッシングできる。

F. 発明の効果

本発明に従い平坦な金属-絶縁体表面が与えられる。

4. 図面の簡単な説明

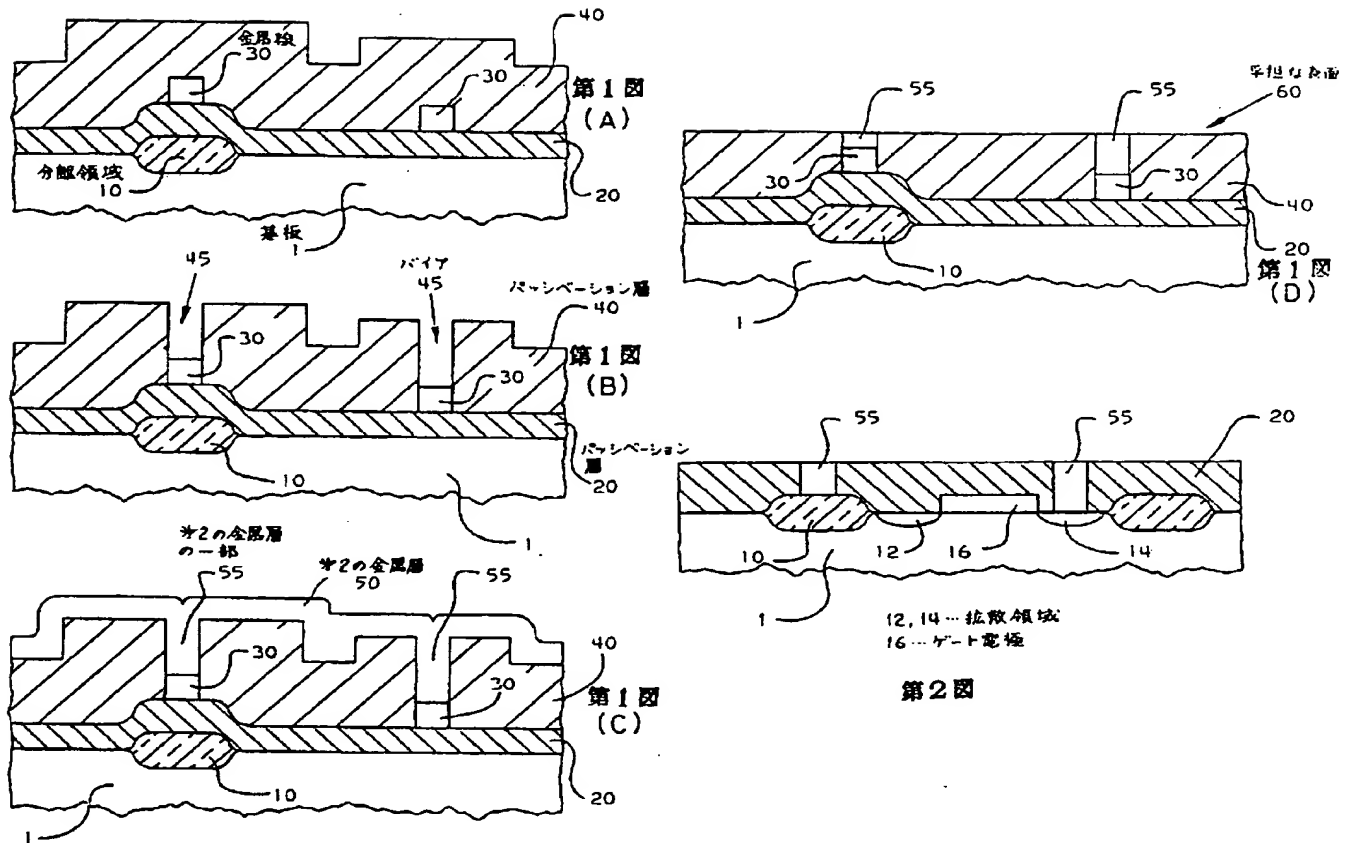
第1図(A)、(B)、(C)、(D)は本発明の方法に従う各段階の半導体基板の断面図である。第2図は本発明の第2の実施例の半導体基板の断面図である。

1...半導体基板、10...分離領域、12、

14...拡散領域、16...ゲート電極、20...第1のパッシベーション層、30...金属線、40...第2のパッシベーション層、45...パイア、50...第2の金属層、55...第2の金属線の1部、60...平坦な表面。

出願人 インターナショナル・ビジネス・マシーンス・コーポレーション

代理人 井理士 山 本 仁 朗
(外1名)



第1頁の続き

⑦発明者

ミツチエル・アルバー
ト・リーチ

アメリカ合衆国ヴァーモント州ウヌースキイ、ウエスト・
ストリート235番地

⑧発明者

ジェームズ・カンラ
ド・ポールゼン

アメリカ合衆国ヴァーモント州アンダーヒル、ボックス
3310、ロード1番地